

文章编号:1007-2780(2012)04-0493-06

钝化层沉积工艺对过孔尺寸减小的研究

李田生, 谢振宇, 张文余, 阎长江, 徐少颖, 陈旭, 闵泰烨, 苏顺康

(北京京东方光电科技有限公司, 北京 100176, E-mail: litiansheng@boe.com.cn)

摘 要: 为了适应 TFT-LCD 小型化与窄边框化以及在面板布线精细化的趋势, 提高工艺设计富裕量以及增加面板的实际利用率, 研究了通过改变钝化层(PVX)的沉积工艺来减小液晶面板阵列工艺中连接像素电极与漏极的过孔(VIA)尺寸的方案, 通过设计实验考察了影响过孔大小的钝化层的主要影响因素(黑点、倒角、顶层钝化层沉积厚度, 顶层钝化层沉积压力), 得出了在不改变原有刻蚀方式基础之上使过孔的尺寸降低 20%~30% 的优化方案, 并对其进行了电学性能评价(I_{on} : 开态电流、 I_{off} : 关态电流、 V_{th} : 阈值电压、Mobility: 迁移率), 从而获得了较佳的减小过孔尺寸的方案, 提高了产品品质。

关 键 词: 钝化层; 刻蚀; 过孔

中图分类号: TN141.9 **文献标识码:** A **DOI:** 10.3788/YJYXS20122704.0493

Improvement Research of VIA Hole Minimize by Passivation Layer Deposit Conditions

LI Tian-sheng, XIE Zhen-yu, ZHANG Wen-yu, YAN Chang-jiang,
XU Shao-ying, CHEN Xu, MIN Tai-ye, SU Shun-kang

(Beijing BOE Optoelectronics Technology Co., Ltd, Beijing 100176, China, E-mail: litiansheng@boe.com.cn)

Abstract: In the trend of miniaturization narrow frame and fine wiring structure, the TFT-LCD tends to developing for large margin of design and high real substrate utilization rate. The passivation layer deposit parameters were changed to decrease the size of via hole which connected the pixel electrode and drain electrode were studied. Through the experiments design of changing main parameters to minimize via hole of passivation layer(haze, undercut, Top-PVX deposit thickness, Top-PVX deposit pressure), a solution to minimize the via hole about 20%~30% without changing the etch conditions was found. The electronic parameter measurement was evaluated(I_{on} , I_{off} , V_{th} , Mobility) and finally one better solution to minimize via hole size was obtained. Therefore, the products quality was improved also.

Key words: passivation layer; etch; VIA hole

1 引 言

TFT-LCD 目前已成为当今社会显示领域的主要技术, 该技术的产品以其应用广泛、节能、便携而受到广泛关注, 目前为了提高 TFT-LCD 的

画面显示品质, 达到低能耗、高亮度、外形美观的目的, 国内外相关领域进行了相关工艺改进, 主要体现在利用树脂材料替代传统钝化层^[1], 薄膜晶体管的重新设计^[2], 过孔的缩减研究等方面^[3], 并且有部分工艺已经进行了工业利用。

收稿日期: 2012-02-14; 修订日期: 2012-05-17

基金项目: 京东方研发基金(10SVHM)

作者简介: 李田生(1984—), 男, 辽宁葫芦岛人, 硕士, 工程师, 主要从事 TFT-LCD 产品及技术开发工作。

过孔的减小能有效提高画面开口率,而开口率的提高能有效改善显示品质,在相同的亮度下能消耗较少的能源,降低了能耗,而且目前随着 TFT-LCD 产品的更新换代,一些窄边框的产品尤其受到青睐,这同样要求在设计产品时候提供较小的过孔尺寸来对应,本文首先分析了在不改变刻蚀条件的情况下钝化层沉积工艺中产生黑点与倒角不良的条件,并在此基础之上仅仅通过改变顶层钝化层的沉积工艺条件就达到了减小过孔尺寸的目的,并对工艺优化后的产品进行电学性能评价,最终达到设计与产品的要求。

2 实验方法

使用 AKT-15K PECVD System 进行薄膜晶体管保护层(PVX)的沉积。玻璃基板尺寸是 1 100 mm×1 300 mm,PECVD 本底真空小于 1.3 Pa,薄膜晶体管保护层采用较低介电常数的 SiN_x,由 SiH₄, NH₃, N₂ 等气体组分生成,SiH₄ 的流量为 500~2 000 mL/min, NH₃ 的流量为 1 000~6 000 mL/min, N₂ 的流量为 1 0000~3 0000 mL/min,buffer、bottom SiN_x 和 top SiN_x,沉积过程中功率为 2 000~8 000 W,温度为 200~400 ℃,气压为 133~533 Pa。图 1 为现有薄膜晶体管的结构图,从图中可以看出像素电极 ITO 通过过孔与漏极相连,这样在薄膜晶体管开态状态下源极与漏极导通达到传递信号的目的,图 2 为现有 PECVD 设备的图片,主要由玻璃装载窗口、自动搬运装置、缓冲腔体、沉积腔体、控制单元等主要五部分组成,玻璃载体经过产线的 AGV 搬运到设备上再由自动搬运装置将玻璃载体放入缓冲腔中形成负压,当达到与沉积腔体相同的条件后将玻璃送入沉积腔体中进行反应,沉积完成后在缓冲腔体中降温升压最后放回玻璃装载装置中,这一系列的动作都在控制单元的程序下进行,PECVD 设备同时具备多个沉积腔体,这样在某个腔体出现问题的时候,可以不影响生产的进行,图 3 为 PECVD 设备反应腔体的截面图,在沉积的腔体中,影响薄膜性质的因素主要包括下极板的温度、两极板之间的距离、功率和气体比率等相关因素。

关于 PECVD 中 SiN_x 的沉积机理,很多文章都有详细的介绍^[4-6],主要的过程是在高真空沉积腔体内的高频电场作用下,存在于电场中的电子

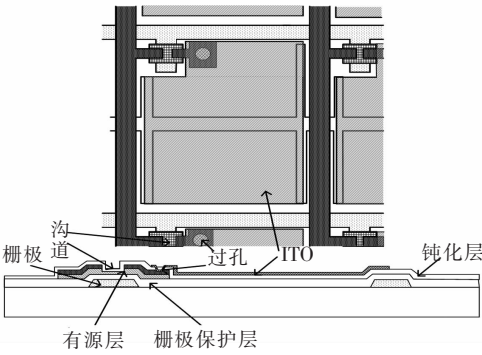


图 1 现有薄膜晶体管结构图
Fig. 1 Normal structure of TFT-LCD

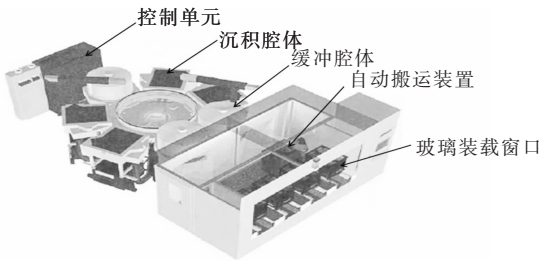


图 2 PECVD 设备
Fig. 2 Instrument of PECVD

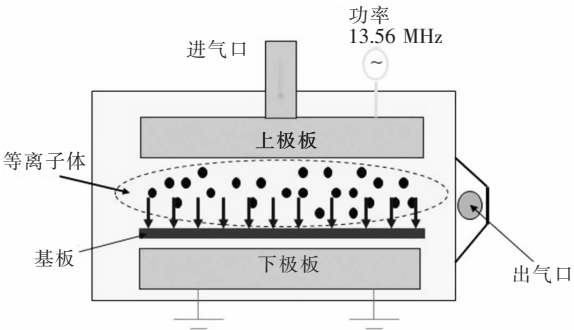
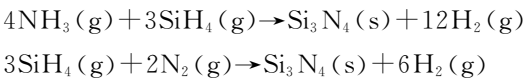


图 3 PECVD 设备反应腔体截面图
Fig. 3 Cross section of react chamber in PECVD

被电极电场加速运动并与反应气体分子发生撞击,反应气体激发或电离,产生活性基团和离子,经过薄膜表面活性基团的吸附与结合,形成反应基(次级反应),反应基在基板表面通过键合、热分解的方式形成薄膜。SiN_x 形成过程中的主要反应方程如下:



实验的样品采用 Corning Eagle XG 10K TFT Glass, Glass 厚度为 0.5 mm,尺寸为 1 100 mm×1 300 mm,在沉积 SiN_x钝化层之前,Glass 上已形成栅极、栅极钝化层、有源层、沟道等图形。

SiN_x 的沉积过程采用真空腔体单张连续沉积方式,过孔刻蚀采用正常条件在 RIE 模式在干刻设备上完成,完成后在测试设备上进行关键尺寸的测试,测试完成后按照一般的 TFT 工艺形成薄膜晶体管,最后在 YAF-5000 设备上进行电学性能测试。

3 实验结果与分析

3.1 过渡层工艺优化

薄膜晶体管沟道保护层 SiN_x 一般分为 3 层:过渡层、主体层和顶层。过渡层的作用是避免钝化层主体与像素电极直接接触产生黑点不良,黑点不良主要由沉积过程中的 SiH_4 的流量决定, SiH_4 的流量越高,黑点不良越容易形成。顶层的作用是等离子体刻蚀的缓冲层,主要作用是使过孔达到一定的坡度角和尺寸,一般情况下过渡层的刻蚀速率要低于其他两层:过渡层 $<$ 顶层 $<$ 主体层,当采用活性等离子体进行刻蚀时顶层较疏松比较容易使等离子体进入达到刻蚀的目的,而当刻蚀到过渡层时由于刻蚀速率与主体不同会产生缩进也就是倒角不良,如图 5(b)所示,所以应尽可能地保持三层的刻蚀速率在一定刻蚀条件下维持相对稳定的刻蚀速率梯度。在薄膜晶体管沟道保护层 SiN_x 的沉积过程中反应气体 SiH_4 和 NH_3 的流量比直接影响薄膜中的 Si/N 比,所以是影响薄膜成份的最主要因素之一,提高 SiH_4 的流量或降低 NH_3 的流量都能增加薄膜中的 Si/N 比,从而达到降低过渡层的刻蚀速率的目的^[7-8],而 SiH_4 流量的升高同时增加黑点不良发生概率,所以本实验对 SiH_4/NH_3 流量进行优化使之达到稳定薄膜条件,并最终能适应新的刻蚀条件。具体实验参数如下:

3.1.1 黑点分析

黑点不良主要是由于在钝化层 SiN_x 沉积过程中 $\text{SiN}_x:\text{H}$ 与透明电极 ITO 反应生成透过率低的 $\text{In}^+\text{H}_2\text{O}$ 所致,而 $\text{SiN}_x:\text{H}$ 源主要来自 SiH_4 ,也有部分来自 NH_3 ,对于 SiH_4/NH_3 的流量比进行优化。

表 1 为 SiH_4/NH_3 流量对黑点的影响,从表中可以看出:当 NH_3 流量不变 SiH_4 流量增加时黑点不良容易发生,而保持 SiH_4 流量不变单纯增加 NH_3 流量不会产生黑点不良,而小幅增加 SiH_4 流量同时降低 NH_3 流量情况下,同样也

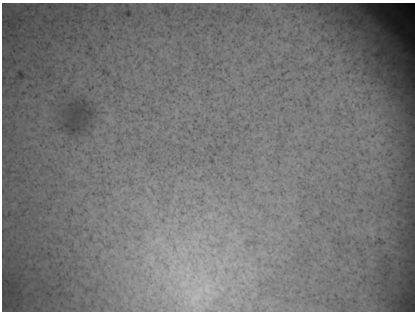


图 4 黑点不良图片
Fig. 4 Defect image of black dot

表 1 SiH_4/NH_3 流量与黑点关系
Table 1 SiH_4/NH_3 flow vs. black dot

No.	SiH_4 流量	NH_3 流量	SiH_4/NH_3	黑点
1	低	正常	低	无
2	中	正常	中	无
3	高	正常	较高	有
4	正常	低	较高	无
5	正常	中	中	无
6	正常	高	低	无
7	高	低	高	无
8	最高	低	最高	有

不会产生黑点不良。

3.1.2 倒角分析

由图 5(a)可以看出,产生倒角不良的原因主

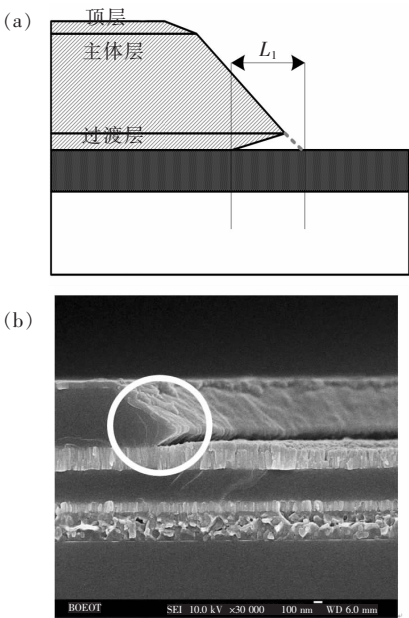


图 5 倒角不良 SEM 图
Fig. 5 SEM image of undercut defect

表 2 SiH₄/NH₃ 流量变化与倒角不良的关系

Table 2 SiH ₄ /NH ₃ flow vs. undercut					
No.	SiH ₄ (流量)	NH ₃	SiH ₄ /NH ₃	黑点	L ₁
2	中	正常	中	无	较小
4	正常	低	较高	无	较小
5	正常	中	较小	无	较大
7	高	低	高	无	消失

要是由于刻蚀速率的不同产生膜层缩进,主要体现在 L_1 的长度上面, L_1 越大倒角越大,过渡层的刻蚀速率越大。

表 2 为 SiH₄/NH₃ 流量变化与倒角不良的关系,其中主要考察没有黑点不良的条件例如表 1 中的 2、4、5、7 条件进行验证,从表 2 中可以看出 L_1 的大小随 SiH₄/NH₃ 流量比的升高而下降,当 SiH₄ 保持在相对较高的流量而 NH₃ 维持在较低流量的条件下,能较好地消除黑点和倒角不良。同时由于过渡层厚度只占总体膜层的 3%,而且如图 6 所示 SiH₄ 和 NH₃ 流量的变化对沉积速率影响甚微, SiH₄ 从 500 变化到 900,沉积速率仅仅变化了 0.4 nm/s, NH₃ 流量的变化基本不改变沉积速率,故可忽略对整体膜层的性能影响,这也可以从后面的电学性能对比中得到验证。

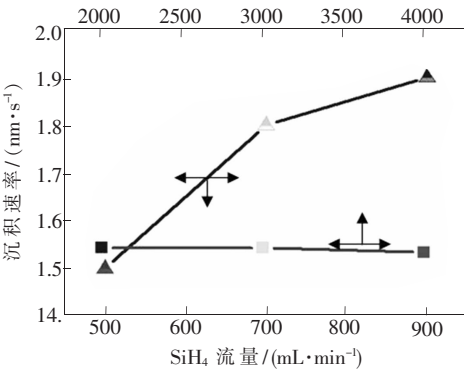


图 6 SiH₄ 和 NH₃ 流量变化与沉积速率的关系
Fig. 6 SiH₄/NH₃ flow vs. deposit rate

3.2 顶层钝化层工艺优化

薄膜晶体管沟道保护层 SiN_x 顶层的主要作用是提供较大的刻蚀速率从而使 VIA 过孔的坡度角保持在一定范围,并且最重要的是能够调节最终的过孔尺寸。影响最终过孔尺寸的因素主要包括顶层膜层沉积的最终厚度与沉积过程的气体流量、比率、沉积压力等条件共同影响。

3.2.1 顶层钝化层厚度对过孔尺寸的影响

通过研究发现薄膜晶体管沟道保护层 SiN_x 顶层的厚度可以影响最终的过孔尺寸,顶层钝化层相比主体层较疏松,这样在刻蚀过程中由于刻蚀离子容易俘获硅离子生成挥发性物质而容易被刻蚀,在顶层钝化层与主体层之间存在两层的渗透区也就是两层的过渡层,见图 7,这部分的刻蚀速率会介于顶层与主体层之间,当顶层越薄刻蚀离子越容易到达过渡层,总体的横向的刻蚀速率也就越慢,但是顶层的厚度不能无限减少,如果达到一定程度当顶层的总体厚度小于过渡层的厚度时,会由于过渡层的刻蚀速率与主体过于接近造成坡度角的过大,影响品质。

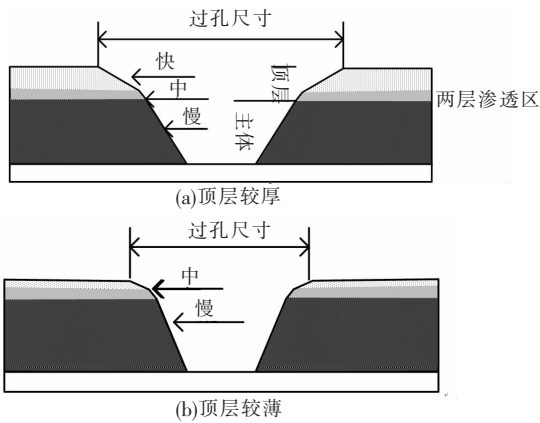


图 7 顶层钝化层厚度对过孔尺寸的影响示意图
Fig. 7 Principle diagram of relationship between top passivation layer thickness and via hole size

图 8 为顶层厚度对过孔尺寸与钝化层坡度角的影响结果图,从图中可知当顶层厚度减小时,过孔的尺寸随着厚度的减小而减小,当厚度下降接

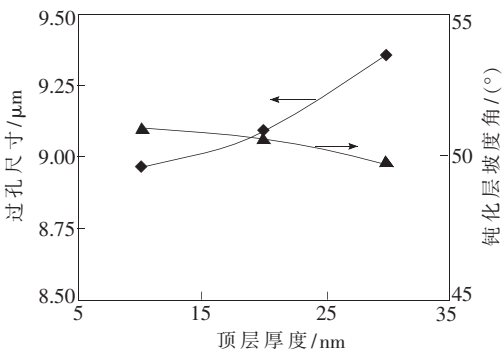


图 8 顶层钝化层厚度对过孔尺寸与钝化层坡度角的影响
Fig. 8 Dependence of top passivation layer thickness on via hole size and passivation layer profile

近正常的 2/3 和 1/3 时过孔尺寸分别降低了接近 0.2 μm 和 0.4 μm ,且在源漏极金属上钝化层的坡度角和正常值差别不大,由此可知通过减小顶层钝化层的厚度确实能减小最终过孔的尺寸,但减小程度有限。

3.2.2 顶层沉积压力对过孔尺寸影响

通过减小顶层的厚度减小了最终过孔的尺寸,但是降低的幅度有些偏小,达不到本文最初的要求,所以本文又进一步考察了顶层沉积过程压力对过孔尺寸的影响。

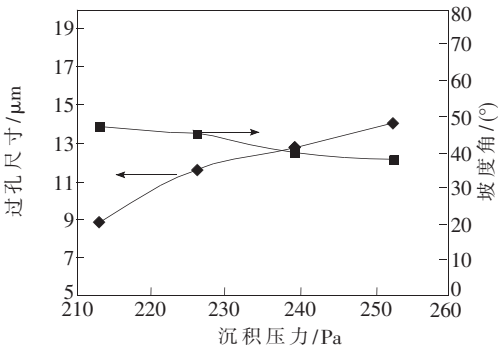


图 9 沉积压力与过孔尺寸与坡度角的影响

Fig. 9 Deposit pressure vs. via hole size and passivation profile

有研究表明沉积压力的降低有助于增加膜层 Si—N 键的比率,从而增加总体膜层的致密性^[9],这样能有效降低膜层的刻蚀速率从而减小过孔的横向刻蚀速率,最终达到减小过孔尺寸的目的。图 9 为沉积压力与最终过孔尺寸的关系图,从中可以看出随着顶层沉积压力的下降过孔尺寸下降较大,而过孔坡度角基本维持不变,顶层压力为 253~279 Pa 时过孔尺寸为 14~17 μm ,当压力降低到 213~226 Pa 时过孔尺寸减小了将近 3~4 μm ,最终为 9~13 μm ,坡度角变化不大,为 5~10°

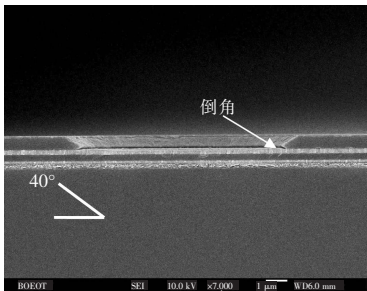


图 10 降低沉积压力后刻蚀的过孔 SEM 图

Fig. 10 SEM image of via hole cross section after reduce pressure

的变化区间,而图 10 为减小顶层沉积压力为 210~230 Pa 时刻蚀的过孔 SEM 图片,从图中可以看出,刻蚀完成后的坡度角较好为 25°,但是因为过渡层的条件未优化可以看出明显的倒角形态,这在后续的制备过程中会产生潜在风险与相关不良。

3.2.3 最终过孔尺寸的缩减

为了避免产生上面所述潜在不良,达到最终过孔尺寸的缩减的目的,本文最终对上面讨论的条件加以整合,通过改变过渡层的优化条件来避免黑点与倒角的产生,通过顶层钝化层条件的优化来最终减小过孔尺寸,达到最终的目的,图 11 为采用上面所述综合条件进行的最终过孔截面图,图中过孔尺寸较正常条件过孔尺寸减小了 20%~30%,虽然过孔尺寸得到了缩减,但所有这些工艺变动是否会对薄膜晶体管的最终性能造成影响还需对其进行电学特性测试。

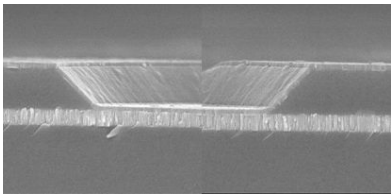


图 11 综合工艺制备的过孔 SEM 图

Fig. 11 SEM images of optimal deposit conditions for via hole

本文以 10.9 cm 产品举例,当采用以上所述新工艺时,随机抽取 3 个样品进行电学测试,结果如图 12 所示,由图可知薄膜晶体管的 I_{on} 都在 1.7~2.5 μA , I_{off} 维持在 0.7 pA 以下且 V_{th} 和迁移率都处在一个正常的水平,由此可知以上工艺的变动并没有对薄膜晶体管的最终性能造成

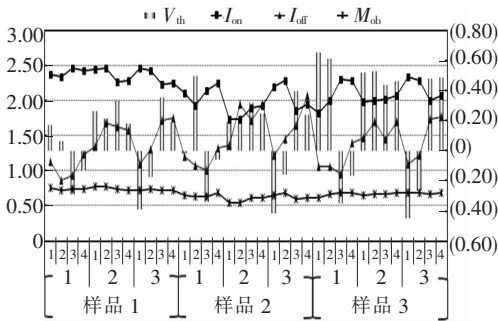


图 12 综合新工艺条件下 TFT 电学特性

Fig. 12 TFT electric property using optimal conditions

影响。

4 结 论

在不改变过孔刻蚀条件的基础上仅仅通过优化钝化层的沉积条件来达到减小过孔尺寸的目的,简化了工艺过程,节省了工艺成本,结果表明:通过优化薄膜晶体管钝化层的过渡层、顶层的工艺,避免了黑点与倒角不良的发生,通过顶层沉积

压力与膜层厚度的优化确实能缩小过孔的尺寸,综合优化工艺条件下相比正常条件减小了将近4~5 μm ,为原有工艺的20%~30%,且电学性能并没有随着工艺条件的改变而改变,最终达到初始设计水平甚至优于设计水平,在提高了开口率的同时,也为窄边框的产品提供了工艺基础,极大地增加了工艺设计富裕量,为后续产品的更新换代提供理论与数据基础。

参 考 文 献:

[1] 周伟峰,薛建设. 应用低介电材料丙烯酸酯树脂作为 TFT-LCD 的钝化层材料[J]. 液晶与显示,2011,26(1):19-22.

[2] 姚建可,许宁生,邓少芝,等. 塑料基底 a-Si:H TFT 制备技术 [J]. 液晶与显示,2010,25(4): 543-545.

[3] 董杰,金相起,朴范求,等. a-Si TFT LCD 过孔尺寸的缩减 [J]. 液晶与显示,2008,23(6):688-691.

[4] Pham T T Pham, Lee J H, Kim Y S, *et al.* Properties of Si_xN_y thin film deposited by plasma enhanced chemical vapor deposition at low temperature using $\text{SiH}_4/\text{NH}_3/\text{Ar}$ as barrier film [J]. *Surface and Coatings Technology*, 2008 (202):5617-5620.

[5] 李新贝,张方辉,牟强,等. 离子增强化学气相沉积条件对氮化硅薄膜性能的影响 [J]. 材料保护,2006,(7):12-16.

[6] Ali S, Gharghi M, Sivoththaman S. Properties and characterization of low temperature amorphous PECVD silicon nitride films for solar cell passivation [J]. *J. Mater. Sci.*, 2005,(40):1469-1473.

[7] 于映,陈抗生. 氮化硅薄膜的 PECVD 生长及其性能研究 [J]. 真空电子技术,1996,(2):16-18.

[8] 谢振宇,龙春平,邓朝勇,等. 非晶硅 TFT 栅界面层氮化硅薄膜性能的研究 [J]. 真空科学与技术学报,2007,(4): 341-345.

[9] Mackel H, Ludemann R. Study of the composition of hydrogenated SiN_x layers for high-quality silicon surface passivation [J]. *Appl. Phys.*, 2002, 92(5):2602-2607.